

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-170702

(43)Date of publication of application : 14.07.1988

(51)Int. Cl.

605B 15/02

(21)Application number : 62-002796

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 09.01.1987

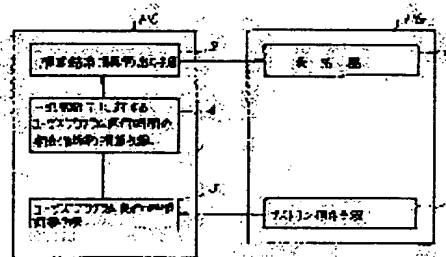
(72)Inventor : OGATA YOSHIKAZU
SAKAI YOSHIKATSU

(54) PROGRAMMABLE ELECTRONIC EQUIPMENT

(57)Abstract:

PURPOSE: To easily confirm whether a processor can normally execute a user program or not with an easy operation by calculating a proportion (load factor) of the execution time of the user program to the repeat operation period of a programmable equipment and outputting the calculated result to a display device.

CONSTITUTION: A programmable equipment PC and a programmer PG are connected through a data bus, and the programmable equipment PC experimentally executes a series of operations of the input processing, the user program written by a user, and the output processing when receiving a test run indication. When the user program built in a program area by the user is executed, a user program execution time counting means 3 counts its execution time TU and a calculating means 4 calculates the proportion (load factor) of this execution time TU to a repeat operation period T. A calculated result output means 5 sends this calculated result (load factor) to a display device 2 of the programmer PG to display it there. Thus, it is easily confirmed whether the processor can execute the user program repeatedly at a prescribed certain period of not.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-170702

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)7月14日

G 05 B 15/02

8225-5H

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 プログラマブル電子機器

⑯ 特 願 昭62-2796

⑰ 出 願 昭62(1987)1月9日

⑱ 発 明 者 尾 形 好 和 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
⑲ 発 明 者 酒 井 芳 克 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
⑳ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
㉑ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

プログラマブル電子機器

2. 特許請求の範囲

ユーザがプログラムの少なくとも一部を自由に書き込み可能としたプログラム領域を有したプログラマブル機器と、このプログラマブル機器にコネクタを介して互いにデータベースが結合し前記プログラム領域にユーザが書き込むユーザズプログラムを作成するプログラマとを備え、

前記プログラマ又はプログラマブル機器のいずれかに、前記プログラマで作成したプログラムを含む一連のプログラムを試験的に実行させるテストラン指示手段と、このテストラン指示信号からの指示を受け、前記プログラム領域に書き込むユーザズプログラムの実行時間(TU)を計数する時間計数手段と、プログラマブル機器が繰返して行なう動作周期(T)に対する割合(負荷率)を演算する負荷率演算手段と、この演算手段での演算結果を表示器に出力する演算結果出力手段とを設けた

ことを特徴とするプログラマブル電子機器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、各種プログラムの少なくとも一部を、ユーザがプログラマブル機器のプログラム領域に書き込むためのプログラマを備えたプログラマブル電子装置に関するものである。

(従来の技術)

プログラマブル調節計のようなプログラマブル電子機器は、マイクロプロセッサとROMあるいはRAMとからなり、ROMあるいはRAMに書き込むプログラムの作成や変更を、プログラマを用いて行なえるように構成されている。

第4図は、プログラマブル調節計における動作の概要を示すフローチャートである。マイクロプロセッサは、ROMあるいはRAM内に用意されたプログラム領域に格納されている各種プログラムに従って、入力信号をディジタル信号に変換する等の入力処理(ステップ1)と、信号演算やPID演算、シーケンス演算等の演算処理(ステップ2)

と、演算結果を出力する等の出力処理(ステップ3)とを一定周期(例えば200ms)で繰返している。

ここで、演算処理を指示するプログラムの一部は、ユーザに開放されており、ユーザがプログラムを用いて、多種、多様なプログラムが書き込みできるようになっている。

(発明が解決しようとする問題点)

ところで、メモリ内に用意したプログラム領域の少なくとも一部を、ユーザが自由に書き換えてできるように構成したプログラマブル電子機器は、ユーザの各種の要求にフレキシブルに対応できるという大きな利点があるが、ユーザが莫大なプログラムを書き込むと、プロセッサがこのプログラムを実行するのに長時間かかって、第4図の動作フローで示されるような一定周期での繰返しができなくなるという問題点がある。

本発明は、このような問題点に鑑みてなされたもので、その目的は、ユーザがプログラム領域に書き込んだユーザズプログラムを、プロセッサが

力する演算結果出力手段である。なお、~~モジュール~~時間計数手段3、演算手段4、演算結果出力手段5は、プログラマPG側に設けてもよい。

(作用)

プログラマブル機器PCとプログラマPGとはデータベースを介して結ばれており、プログラマブル機器PCは、テストラン指示を受けると、入力処理、ユーザが書き込んだユーザズプログラム、出力処理の一連の動作を試験的に実行する。ユーザズプログラム実行時間計数手段3は、ユーザがプログラム領域に組み込んだユーザズプログラムを実行すると、その実行時間TUを計数し、演算手段4は、繰返し動作周期Tに対するユーザズプログラムの実行時間TUの割合(負荷率)を演算する。演算結果出力手段5は、この演算結果(負荷率)をプログラマPGの表示器2に送り表示させる。

(実施例)

第2図は本発明の一実施例の構成ブロック図である。図において、第1図の各部分に対応するも

所定の一定周期で繰返し実行できるかどうかを容易に知ることができるようにすることにある。

(問題点を解決するための手段)

第1図は、本発明装置の基本的な機能ブロック図である。図において、PCはユーザがプログラムの一部を書き込み可能なプログラム領域を有するプログラマブル機器、PGはこのプログラマブル機器に互いのデータベースが結合し、プログラム領域に格納するユーザズプログラムを作成する時利用するプログラマである。プログラマPGにおいて、1はプログラマPGで作成したユーザズプログラム及び一連の動作プログラムを試験的に実行させるテストラン指示手段、2は表示器である。プログラマブル機器PCにおいて、3はテストラン指示手段1からの指示を受け、プログラム領域に書き込む前のユーザズプログラムの実行時間を計数する時間計数手段、4はプログラマブル機器PCが繰返して行なり動作周期Tに対するユーザズプログラム実行時間の割合(負荷率)を演算する手段、5は演算手段4で演算した結果を表示手段2に出

のには同一符号を付して示す。ここではプログラマブル機器PCとしてプログラマブル調節計を用いたもので、調節計が行なり制御演算、カスケード演算、あるいはシーケンス制御演算等のプログラムを、ユーザの制御システムに最適になるように、ユーザがプログラマPGを用いて作成できるようになっている。

図において、6はプログラマブル調節計PCに搭載されているマイクロプロセッサ(CPU)、71はCPU6にデータベースDBを介して結合するシステムROMで、この中には、通常動作を行なわせるためのシステムプログラムが格納される。また72はユーザズROMで、この中にユーザがプログラマPGを用いて作成したユーザズプログラムが組み込まれるプログラム領域が用意されている。8は調節計PCに設けられた表示・キーボード、9はD/A変換器、10はプログラマPGを接続するためのコネクタで、いずれもデータベースDBを介してCPU6に接続されている。CPU6内には、システムプログラム等によって、時間計数手

段3、演算手段4及び出力手段5が設けられる。なお、これらの各手段は、プログラムPG内に設けてもよい。

10はD/A変換器9を介して出力される制御演算結果を保持するサンプルホールド回路である。11は入力信号 $e_1, e_2 \dots$ を選択するマルチプレクサ、12はマルチプレクサ11で選択された入力信号と、D/A変換器9からの出力とを比較するコンパレータである。コンパレータ12、CPU6、D/A変換器9で形成されるループは、入力信号 $e_1, e_2 \dots$ をディジタル信号に変換するための逐次比較形A/D変換回路を構成する。

プログラムPGにおいて、13は各種プログラムを作成するためのキーボードである。このプログラムPGは、コネクタ10、データバスDBを介して調節計PC内のCPU6や各ROM71、72に直接アクセスできるように構成されている。

このように構成した装置の動作を次に説明する。

はじめに、ユーザにおいてプログラムを作成あるいは、プログラムの変更をする場合、調節計PC

換器9を介して出力する等の出力処理を行なう(ステップ4)。出力処理を終了した時点で、タイムカウンタをストップするとともにタイムカウンタの計数値TUをタイムカウンタバッファに格納する(ステップ5)。

続いてタイムカウンタバッファに格納した計数値TUと、予じめ決めた繰返し周期T(例えば200ms)を用いて、負荷率($=TU/T$)を演算する(ステップ6)。なお、ここで、繰返し周期Tが例えば100ms、タイムカウンタが1msのクロックを計数するようにしておけば、タイムカウンタバッファに格納した計数値TUがそのまま負荷率(%)を要わすことになるので、 TU/T なる演算は省略される。

続いて、演算結果(負荷率)をプログラムPGの表示器2に表示させ(ステップ7)、周期T経過するのを待って、ステップ1に戻る。

以上のような一連の動作によって、プログラムPGの表示器2に、ユーザが作成したユーザズプログラムを含んで動作した場合の負荷率が表示さ

のコネクタ10にプログラムPGを接続し、キーボード13を操作する。キーボード操作によってユーザが作成したプログラムは、はじめに、プログラム上のRAMにユーザズプログラムとして書き込まれる。次に、作成したユーザズプログラムを、ユーザズROM72のプログラム領域に書き込むに先だって、作成したプログラムが、所定の一定周期で繰返し実行できるかどうか調べる必要がある。この場合、プログラムPGにおいて、テストラン指示手段1を操作する。

第3図は、このテストランを指示した場合の調節計PCが行なう動作のフローチャートである。はじめに、CPU6は、タイムカウンタをスタートさせる(ステップ1)。次に、コンパレータ12、D/A変換器9で形成されるA/D変換ループによって、各入力信号 $e_1, e_2 \dots$ をディジタル値に変換し、それらを図示してないRAMに格納する等の入力処理を行なう(ステップ2)。続いて、ユーザズプログラムを実行する(ステップ3)。次にユーザズプログラムによって演算した結果をD/A変

換器9を介して出力する等の出力処理を行なう(ステップ4)。出力処理を終了した時点で、タイムカウンタをストップするとともにタイムカウンタの計数値TUをタイムカウンタバッファに格納する(ステップ5)。なお、上記のフローチャートにおいて、タイムカウンタは、入力処理、出力処理を含む動作時間を計数しているが、これは^は入出力処理時間がユーザズプログラムの内容によっても大きく変わること

を想定したもので、入出力処理がユーザズプログラムの影響を受けない場合は、ユーザズプログラムの動作時間だけを計数すればよい。作成したユーザズプログラムによる^は正常に動作することが確認されれば、プログラムPG内のRAMに格納されたユーザズプログラムを、プログラマブル機器PCに用意されているプログラム領域に正式に書き込むことになる。正常な動作を行なわない場合、再びプログラムPGによりユーザズプログラムの内容を修正することになる。

なお、上記ではプログラマブル調節計に適用した場合について説明したが、ユーザが自由にプログラムの一部を書き込むことができるようにした各種プログラマブル電子機器に適用することがで

きる。

(発明の効果)

以上説明したように、本発明によればユーザが作成したユーザプログラムを正式にプログラム領域に書き込むに先だって、そのユーザプログラムが、他のプログラムとの関係で、プロセッサが正常に実行できるかどうかを簡単な操作で容易に確認することができる。

4. 図面の簡単な説明

第1図は本発明の基本的な構成ブロック図、第2図は本発明の一実施例の構成ブロック図、第3図は動作の一例を示すフローチャート、第4図はプログラブル調節計における動作の概要を示すフローチャートである。

PC…プログラマブル機器

PG…プログラマ

1…テストラン指示手段

2…表示器

3…ユーザプログラム実行時間計数手段

4…負荷率演算手段

5…負荷率出力手段

6…CPU

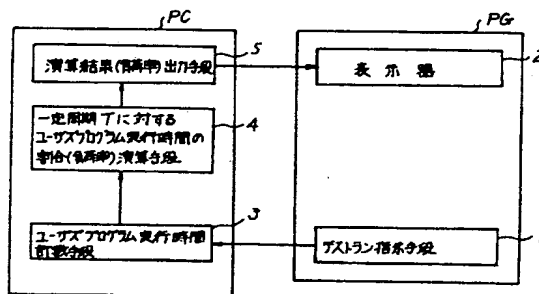
71…システムROM

72…ユーザROM

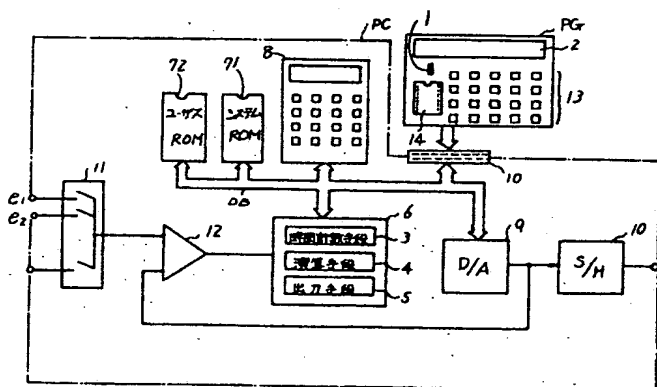
代理人 弁理士 小 沢 信 助



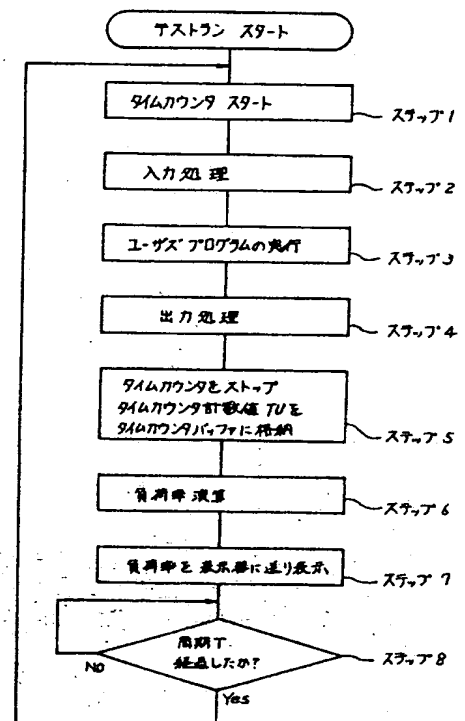
第1図



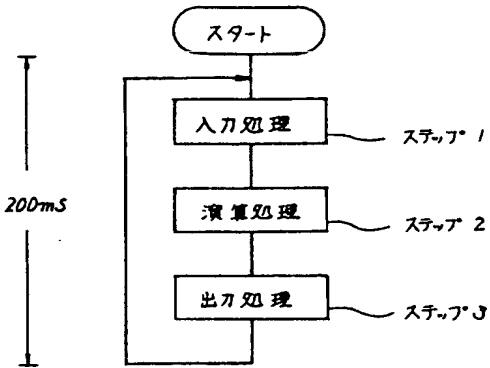
第2図



第3図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.